

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020050702 A
(43)Date of publication of application: 27.06.2002

(21)Application number: 1020010078343
(22)Date of filing: 11.12.2001
(30)Priority: 21.12.2000 US 2000 745361

(71)Applicant: INTERNATIONAL BUSINESS MACHINES CORPORATION.
(72)Inventor: COOLBAUGH DOUGLAS DUANE
DUNN JAMES STUART
ST. ONGE STEPHEN ARTHUR

(51)Int. Cl. H01L 27/06

(54) METHOD FOR MANUFACTURING POLY-POLY CAPACITOR BY SILICON GERMANIUM BICMOS INTEGRATION TECHNIQUE

(57) Abstract:

PURPOSE: A method for fabricating a poly-poly capacitor for use in BiCMOS integrated circuits is neither complicated nor expensive, and utilizes existing polysilicon and masking steps, thereby permitting the integration of the poly-poly capacitor at a low cost.

CONSTITUTION: A first polysilicon layer is formed on a portion of an isolation region(12) in a poly-poly capacitor formation region. A first nitride spacer(16) are formed at both sidewalls of the first polysilicon layer. By implanting ions of a first conductivity type into the first polysilicon layer, a lower electrode(22) of the poly-poly capacitor is formed. After forming a second nitride spacer(24), a film stack is formed on the exposed lower electrode(22) by sequentially depositing an oxide layer(32), a second polysilicon layer and a SiGe layer. A doping layer(40) is formed by implanting ions of a second conductivity type into the SiGe layer and the second polysilicon layer. By etching the SiGe layer and the second polysilicon layer, an upper electrode of the poly-poly capacitor is formed. Then, a silicide layer(42) is formed by saliciding all exposed surfaces of the upper electrode.

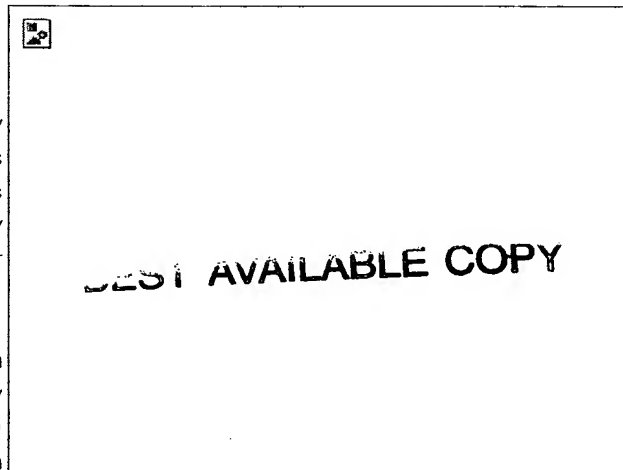
© KIPO 2003

Legal Status

Date of final disposal of an application (20031031)

Patent registration number (1004075380000)

Date of registration (20031118)



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | |
|---|----------------------------|
| (51) Int. Cl. ⁷ H01L 27/06 | (11) 공개번호 특2002-0050702 |
| (21) 출원번호 10-2001-0078343 | (43) 공개일자 2002년06월27일 |
| (22) 출원일자 2001년12월11일 | |
| (30) 우선권주장 09/745,361 2000년12월21일 미국(US) | |
| (71) 출원인 인터내셔널 비지네스 머신즈 코포레이션 | 포만 제프리 엘 |
| (72) 발명자 미국 10504 뉴욕주 아몬크 쿨바흐, 더글라스듀엔 | |
| (74) 대리인 미국버몬트주05452, 에섹스정선, 세미지서클21 듀, 제임스스튜아트 미국버몬트주05465, 제리쇼, 오알로드75 성온지, 스테판아서 미국버몬트주05446, 롤체스터, 푸어팜로드94 신영무, 이용미 | |

심사청구 : 있음

(54) SiGe BiCMOS 집적 설계에 의한 폴리-폴리 캐패시터의 제조방법

요약

BiCMOS(bipolar and complementary metal oxide semiconductor) 공정과 결합되어 폴리-폴리 캐패시터를 제조하는 방법은, CMOS트랜지스터의 게이트 전극을 증착하는 동안 폴리-폴리 캐패시터의 하부플레이트전극을 형성하는 단계와, 이질접합바이폴라트랜지스터(heterojunction bipolar transistor)의 SiGe베이스영역의 성장동안 상부 SiGe플레이트전극(upper SiGe plate electrode)을 형성하는 단계를 포함한다.

도표도

도 1

색인어

폴리-폴리 캐패시터, CMOS트랜지스터, 하부 플레이트 전극, 상부 플레이트 전극, BiCMOS공정

영세서

도면의 간단한 설명

도 1 내지 도 9는 본 발명의 제1실시예에 사용되는 다양한 공정단계를 통한 폴리-폴리 캐패시터(poly-poly capacitor)의 단면도이다.

도 10 내지 도 11은 본 발명의 제1실시예에서 패터닝된 보호 질화물층(patterned protective nitride layer)이 사용된 추가 공정단계를 나타낸다.

도 12 내지 도 19는 본 발명의 제2실시예에 사용된 다양한 공정단계를 통한 폴리-폴리 캐패시터(poly-poly capacitor)의 단면도이다.

도 20 내지 도 21은 본 발명의 제2실시예에서 패터닝된 보호 질화물 층(patterned protective nitride layer)이 사용된 추가 공정단계를 나타낸다.

❖ 도면의 주요 부분에 대한 부호의 설명 ❖

| | |
|--------------------|----------------|
| 10 : 반도체기판 | 12 : 절연영역 |
| 14 : 제1폴리실리콘층 | 16 : 제1질화물스페이서 |
| 18, 24 : 제2질화물스페이서 | 20 : 제1전도타입 |
| 22 : 하부전극 | 30 : 필름스택 |
| 32 : 산화물층 | 34 : 폴리실리콘층 |
| 36 : SiGe층 | 38 : 제2전도타입 |
| 40 : 도핑층 | 42 : 실리사이드영역 |

4. 발명내용

4. AVAILABLE COPY

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 바이폴라 상보형 금속산화 반도체(BiCMOS:bipolar and complementary metal oxide semiconductor)기술에 관한 것으로, 보다 상세하게는 SiGe 이질접합 바이폴라 트랜지스터(heterojunction bipolar transistor)를 곁합시킨 폴리실리콘(polysilicon) 대 폴리실리콘(polysilicon) 즉, 폴리-폴리(poly-poly)캐패시터를 제조하는 방법에 관한 것이다.

반도체소자(semiconductor device) 제조 분야에서, 상보형 금속산화 반도체(CMOS : complementary metal oxide semiconductor) 및 BiCMOS기술은 단일칩(on-chip) 위에 대단히 복잡한 아날로그-디지털 하부조직(highly complex analog-digital subsystems)을 집적시키기 위해 널리 사용되어지고 있다. 일반적으로 이러한 하부조직내에서, 고정밀 캐패시터가 요구된다.

현재 캐패시터의 몇몇 타입은 확산-폴리(diffusion-poly) 캐패시터, 폴리-폴리 캐패시터 및 금속-금속(metal-metal) 캐패시터를 포함하여 이용할 수 있다. 오늘날 집적 소자의 고정밀 캐패시터 수요에 부응하기 위해, 폴리-폴리 캐패시터가 더욱더 사용되고 있다.

이러한 고정밀에도 불구하고, 폴리-폴리 캐패시터는 비용이 높다는 것과 제조가 용이하다는 점에 따른 이 상적인 캐패시터 특성사이에서의 절충물로서, 이 폴리-폴리 캐패시터는 확산-폴리 캐패시터보다 더 좋은 전기적 특성을 가지고 있는 반면 금속-금속 캐패시터에 비해 낮은 전기적 특성을 갖는다. 그러나, 금속-금속 캐패시터는 폴리-폴리 캐패시터보다 제조하는 것이 더 어렵다.

더구나, 폴리-폴리 캐패시터는 MOS(metal oxide semiconductor)(즉, 확산-폴리)캐패시터보다 더 선형의 V-C관계를 갖는 것으로 알려져 있다. MOS캐패시터용 유전체는 고도로 도핑된 확산영역위에 열적 성장한 산화물로부터의 결과이다. 반대로, 폴리-폴리 캐패시터용 유전체는 일반적으로 증착된 화학기상증착산화물이며, 신뢰할 수 있는 조건들은 열적산화물에 의해 구현될 수 있는 것보다 더 두꺼운 산화물을 생성한다. 그러므로, 일반적으로 더 높은 캐패시턴스 값은 폴리-폴리 캐패시터보다 MOS캐패시터에 의해 생긴다.

다양한 폴리-폴리 캐패시터 형성방법이 알려져 있지만, 대부분의 종래 기술방법들은 BiCMOS공정절차에 곁합하기에 적합하지 않다. 종래의 방법과의 BiCMOS결합 문제를 고려하여, 새로운 개발이 지속적으로 필요하며, 전형적으로 BiCMOS공정에 사용되는 마스크단계(masking steps)와 기존의 폴리실리콘층을 활용하는 폴리-폴리 캐패시터의 새로이 개선된 제조방법을 개발하여야 할 지속적인 필요성이 있다. 특히, 캐패시터의 저부 플레이트가 MOST랜지스터의 게이트로부터 형성되고, 캐패시터의 상부 플레이트가 이질접합 바이폴라 트랜지스터의 베이스영역으로부터 형성되는 폴리-폴리 캐패시터의 제조방법이 개발될 수 있다면 높은 이익을 얻을 수 있다.

발명이 이루고자하는 기술적 과제

본 발명의 하나의 목적은 복잡하거나 고가가 아닌 CMOS 또는 BiCMOS집적회로에서 사용하기 위한 폴리-폴리 캐패시터의 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 기존의 폴리실리콘과 마스크단계를 이용하여 폴리-폴리 캐패시터를 제조하는 방법을 제공하는 것이며, 이에 의해 저비용으로 BiCMOS소자(device) 내에 폴리-폴리 캐패시터의 집적화를 달성한다.

본 발명의 또 다른 목적은 전형적으로 BiCMOS공정에서 MOST랜지스터 및 바이폴라 트랜지스터의 SiGe베이스구조를 형성하기 위해 사용되는 구조와 단계를 이용하여 폴리-폴리 캐패시터의 제조방법을 제공하는 것이다.

이러한 목적과 다른 목적 및 이점들은, 캐패시터의 하부 폴리실리콘층이 CMOS게이트 전극이 증착 동안에 형성되고 캐패시터의 상부 SiGe 폴리실리콘층이 SiGe이질접합 바이폴라 트랜지스터의 베이스영역의 성장 시기에 형성되는 발명의 방법을 이용함으로써 달성된다. 그러므로, 넓은 의미에서 본 발명의 방법은 CMOS 트랜지스터의 게이트전극의 증착 동안에 폴리-폴리 캐패시터의 하부 플레이트전극을 형성하는 단계와, 이 이질접합 바이폴라 트랜지스터의 SiGe베이스영역이 성장 동안에 상부 SiGe플레이트 전극을 형성하는 단계를 포함한다.

특히, 본 발명의 제1실시예에서 발명의 방법은:

- (a) 폴리-폴리 캐패시터가 형성되며질 소자영역내의 절연영역(isolation region)부 위에 제1폴리실리콘층(a first polysilicon layer)을 형성하는 단계;
- (b) 상기 제1폴리실리콘층 근처에 제1질화물스페이서(first nitride spacer)를 형성하는 단계;
- (c) 상기 제1폴리실리콘층 및 상기 제1질화물스페이서 위에 질화물층(nitride layer)을 증착하는 단계;
- (d) 상기 폴리-폴리 캐패시터의 하부전극(lower electrode)을 형성하도록 상기 제1폴리실리콘층 내로 제1전도형(first conductivity type)의 이온을 주입하는 단계;
- (e) 제2질화물스페이서(second nitride spacer)를 형성하고 상기 하부 전극부를 노출시키기 위해 상기 질화물층부를 제거하는 단계;
- (f) 적어도 상기 하부 전극의 상기 노출부 위에 산화물층(oxide layer), 제2폴리실리콘층 및 SiGe층을 포

합하는 필름스택(film stack)을 형성하는 단계;

(g) 상기 SiGe층 및 상기 제2폴리실리콘층 내로 상기 제1전도형과 상이한 제2전도형(second conductivity type)의 이온을 주입하는 단계;

(h) 상기 폴리-폴리 캐패시터의 상부 전극(upper electrode)을 형성하기 위해 적어도 상기 SiGe층 및 상기 제2폴리실리콘층을 에칭(etching)하는 단계; 및

(i) 상기 상부 전극의 모든 노출표면을 살리사이드(saliciding)하는 단계를 포함한다.

전술한 공정단계들은 고캐패시턴스 폴리-폴리 캐패시터를 형성하는 데 사용되는 것에 주목할 수 있다. 패턴닝된 보호질화물층(patterned protective nitride layer)은 구조물을 살리사이드하기 전에 노출된 상부 전극 부분 위에 선택적으로 형성될 수 있다.

본 발명의 제2실시예에 따라, 고전압소자가 형성되는 본 발명의 방법은,

(a) 폴리-폴리 캐패시터가 형성되어질 소자영역내의 절연영역부 위에 제1폴리실리콘층을 형성하는 단계;

(b) 상기 제1폴리실리콘층 근처에 제1질화물스페이서를 형성하는 단계;

(c) 상기 제1폴리실리콘층 및 상기 제1질화물스페이서 위에 질화물층을 배치하는 단계;

(d) 상기 폴리-폴리 캐패시터의 하부전극을 형성하기 위해 상기 제1폴리실리콘층으로 제1전도형의 이온을 주입하는 단계;

(e) 적어도 상기 질화물층위에 산화물층, 제2폴리실리콘층 및 SiGe층을 포함하는 필름스택을 형성하는 단계;

(f) 상기 SiGe층 및 상기 제2폴리실리콘층으로 상기 제1전도타입 이온과 상이한 제2전도형의 이온을 주입하는 단계;

(g) 상기 폴리-폴리 캐패시터의 상부 전극을 형성하기 위해 적어도 상기 SiGe층 및 상기 제2폴리실리콘층을 에칭하는 단계;

(h) 상기 상부 전극의 모든 노출 표면을 살리사이드하는 단계를 포함한다.

제1실시예의 경우에서와 같이, 패턴닝된 보호질화물은 살리사이드하기 전에 노출된 상부 전극의 적어도 일부분 상에 형성될 수 있다.

여기서, 도핑된 제1폴리실리콘층은 본 발명의 폴리-폴리 캐패시터의 하부전극으로 사용되고, 반면 도핑된 제2폴리실리콘층과 함께 도핑된 SiGe층은 폴리-폴리캐패시터의 상부전극으로 사용되는 것이 중요하다.

본 발명의 구성 및 작용

본 발명은 SiGe BiCMOS공정과 결합될 수 있는 폴리-폴리 캐패시터를 제조하는 방법을 제공하는 것으로, 이제부터 본 명세서에 수반된 도면을 참조하여 보다 상세하게 설명될 것이다. 동일 요소들은 동일 참조번호에 의해 설명된다. 더욱이, 본 발명의 도면에 BiCMOS소자의 캐패시터소자영역만이 도시된다. 도면에 도시되지 않은 CMOS와 바이폴라소자영역은, 도면에 도시된 캐패시터소자영역과 인접한 영역에 형성된다.

우선 본 발명의 제1실시예에 사용된 다양한 공정단계들을 통해 하이 캐패시턴스 폴리-폴리 캐패시터(High Capacitance Poly-Poly Capacitor)의 형성을 도시한 도 1 내지 9를 참조하여 언급한다. 특히, 도 1은 반도체기판(10)에 형성된 절연영역부(12)위에 제1폴리실리콘층(14)의 형성을 도시한다. 반도체기판(10)은 전형적인 반도체물질들을 포함하여 구성되지만, Si, Ge, SiGe, GaAs, InAs, IrP 및 모든 다른 III/V족 조합을 반도체에 의해 제한되지 않는다. 또한, 여기에는 Si/Si 또는 Si/SiGe와 같은 적층형 기판이 고려될 수 있다. 이러한 반도체물질 중에서, 반도체기판이 Si으로 구성되는 것이 적절하다. 반도체기판은 최종 BiCMOS구조물에 제시될 MOS소자의 타입에 따라 p-타입 기판 또는 n-타입 기판일 수 있다.

절연영역은 실리콘의 국부 산화(LOCOS : local oxidation of silicon)영역이나 트렌치 절연영역일 수 있으며, 도 1에 도시된 바와 같이 트렌치절연영역이 선호된다. LOCOS절연이 사용될 때, 당업자에게 잘 알려진 전형적인 산화공정이 영역(12) 형성에 사용된다. 한편, 도 1에 도시된 바와 같이, 절연영역(12)이 트렌치 절연영역일때, 절연트렌치영역은 전형적인 리소토그래피(lithography), 에칭 및 트렌치 충전(trench filling)을 이용하여 형성된다. 절연영역의 형성은 당업자에게 잘 알려진 전형적인 공정들을 포함하므로, 그와 동일한 것에 관한 구체적인 설명은 여기에 제공되지 않는다.

또한, 이후에 폴리-폴리 캐패시터의 하부전극이 될 제1폴리실리콘층(14)이 CMOS소자영역에 형성되며, CMOS소자영역에서 CMOS소자의 게이트전극으로서 사용될 것이다. 제1폴리실리콘층(14)은 본 발명에 화학기상증착(CVD : chemical vapor deposition), 플라즈마-조력 화학기상증착(plasma-assisted CVD), 스퍼터링(sputtering), 화학 용매 증착(chemical solution deposition) 및 기타 다른 증착공정을 포함하는 전형적인 증착공정을 이용하여 본 발명에서 형성되지만, 이러한 증착공정에 제한되지 않는다. 제1폴리실리콘층의 두께는 다양화 할 수 있지만, 전형적으로 제1폴리실리콘층은 대략 500Å부터 대략 5000Å의 두께를 가지며, 대략 1000Å부터 대략 2000Å 까지의 두께가 가장 적절하다.

다음, 도 2에 도시된 바와 같이, 제1질화물스페이서(16)는 제1폴리실리콘층주위에 형성된다. 특히, 제1질화물스페이서(16)는 기 형성된 제1폴리실리콘층의 노출된 수직 모서리에 형성된다. Si₃N₄와 같이 전형적인 질화물물질로 조합된 제1질화물스페이서는, 화학기상증착, 플라즈마-조력 화학기상증착 및 다른 증착공정들과 같은 전형적인 증착공정에 의해 형성되며, 리소토그래피 및 에칭이 잇따른다.

제1질화물스페이서(16) 형성에 사용되는 에칭공정은 폴리실리콘과 비교하여 질화물을 제거하기 위한 높은 선택도(selectivity)를 가지는 전형적인 에칭공정이다.

도 3은 도 2에 나타난 구조물(17)에 제2절화물층(18)을 형성한 후의 폴리-폴리 캐패시터구조물을 도시한다. 특히, 제2절화물층은 제1절화물스페이서(16)의 형성에 사용된 것과 동일하거나 다른 전형적인 증착공정을 이용하여 제1절화물스페이서(16) 및 제1폴리실리콘층(14) 위에 형성된다. 더욱이, 제2절화물층은 제1절화물스페이서처럼 동일하거나 다른 절화물-함유 물질로 이루어질 수 있다. 제2절화물층은 폴리-폴리 캐패시터의 형성동안 인접한 디바이스 영역을 보호하기 위해 제공된다는 것을 주목할 수 있다.

제2절화물층 위치, 폴리-폴리 캐패시터의 하부전극(22)을 형성하기 위해 제1전도형(p-타입 또는 n-타입)의 이온이 제1폴리실리콘층 내부에 주입되며, 도 4에 나타난다. 폴리-폴리 캐패시터의 하부전극 형성에 사용되는 이온주입은 전형적인 주입에너지로 동작할 수 있는 전형적인 이온주입장치에서 수행된다. 이러한 주입단계에 사용되는 도판트이온 농도(concentration of dopant ion)는 당업자에 의해 사용되는 전형적인 값내에서 다양화할 수 있다. 게다가, 본 발명의 이 단계에서 사용되는 도판트이온 타입은 제조되는 디바이스 타입에 따라 달라진다.

고 캐패시터용 폴리-폴리 캐패시터를 만드는 데 사용되는 본 발명의 제1실시예에 따라, 제2절화물층은 전형적인 리소토그래피를 사용하여 패턴화되고, 그 후에 도핑된 폴리실리콘과 비교하여 절화물을 제거하기 위한 고감도 에칭공정이 제2절화물스페이서(34)를 형성하도록 사용되며, 도 5에 도시되어 있다. 특히, 기초를 이루는 위치한 하부전극영역을 노출하는 윈도우(21)를 형성하기 위해 제2절화물층(18)이 에칭된다.

다음, 도 6에 도시된 바와 같이, 필름스택(30)은 도 5에 도시된 구조물 위에 형성된다. 본 발명에 따르면, 필름스택(30)은 산화물층(32), 제2폴리실리콘층(34) 및 SiGe층(36)으로 구성된다. 산화물층(32)은 본원 발명에서 화학 기상 증착과 같은 전형적인 증착공정을 이용하여 형성되거나, 대안적으로, 산화물층(32)은 전형적인 열적 성장(thermal growing) 공정에 의해 형성될 수 있다. 산화물층의 두께는 다양화할 수 있지만, 전형적으로 필름스택(film stack:30)의 산화물층(32)은 대략 50Å부터 대략 200Å까지의 두께를 갖는다.

필름스택(30)의 폴리실리콘층(34)은 제1폴리실리콘층(14)을 형성하는데 사용된 것과 마찬가지로 같은 증착공정을 이용하거나 다른 증착공정을 이용하여 형성된다. 폴리실리콘층(34)의 두께는 다양화할 수 있지만, 전형적으로 필름스택(30)의 제2폴리실리콘층(34)은 대략 100Å에서부터 대략 1000Å까지의 두께를 갖는다.

또한, 필름스택(30)의 SiGe층(36)은 바이폴라 트랜지스터영역(미도시)의 SiGe베이스를 형성하는 데 사용되며, 전형적인 증착공정 예를 들면, 초고진공 화학기상증착(ultra-high vacuum CVD), 분자빔에피택시(molecular beam epitaxy), 급속열 화학기상증착(rapid thermal CVD), 플라즈마-보강 화학기상증착(plasma-enhanced CVD)을 포함하여 이용하는 것으로 형성되지만, 이러한 증착공정에 제한되지 않는다. SiGe층(36)을 다양화할 수 있으며, 특정 두께범위에 제한되지 않는다. SiGe층(36)의 형성에 사용되는 각각의 전술한 증착공정은 당업자에게 잘 알려진 전형적인 조건을 이용하는 것을 포함한다. 각 조건은 SiGe층(36)의 형성에 사용되는 증착공정타입에 따라 다양화할 수 있다.

필름스택(30)이 노출된 하부전극의 상부에 형성된 이후에, SiGe층(36)과 제2폴리실리콘층(34)은 제1전도형과 상이한 제2전도형(38)의 이온이 층(36,34)에 주입되는 이온주입공정을 거친다. 특히, 전술한 제3이온주입단계는 전형적인 주입에너지로 동작할 수 있는 전형적인 이온주입장치에 의해 실행된다. 이 주입단계에 사용되는 도판트이온의 농도, 즉 층(36,34)에서의 도핑은 다양화할 수 있으며, 제1폴리실리콘층으로 주입된 도판트타입에 따라 달라진다. 도핑층(40)을 형성하는 본 발명의 이 단계는 도 7에 나타난다. 도핑층(40)이 SiGe층(36) 및 제2폴리실리콘층(34)의 조합이라는 것이 주목된다. 더욱이, 도핑층(40)은 본 발명 폴리-폴리 캐패시터의 상부전극으로서의 역할을 한다.

제2전도형의 이온으로 SiGe 및 제2폴리실리콘을 도핑한 후에, 도핑층(즉, 도핑된 SiGe층 및 도핑된 제2폴리실리콘층)은, 상부전극으로 도핑된 SiGe+제2폴리실리콘층을 패턴화하여 도 8에 나타난 구조물을 형성할 수 있는 전형적인 리소토그래피 및 에칭공정을 거친다. 도핑된 SiGe+제2폴리실리콘층을 에칭하는 동안에, 기초를 이루는 산화물층 일부 또한 에칭될 수 있다.

본 발명의 이러한 단계에 이어, 상부전극 즉, 도핑층(40)은 추가적으로 제2이온이 상부전극으로 주입되는 다른 이온주입공정을 선택적으로 거칠 수 있다. 이 선택적으로 추가되는 주입단계는 CMOS소자영역내에 소스와 드레인영역(도시되어 있지 않음)을 형성하는 것에 주목할 수 있다. 도 9는 상부전극의 노출 표면이 살리사이드영역(salide region:42)이 그 안에 형성되는 전형적인 살리사이드화(salidation)공정을 거친 후의 구조물을 도시한다. 살리사이드화 공정은 당업자에게 잘 알려진 전형적인 어닐링(annealing) 온도 및 시간을 이용하여 실행된다.

도 10 내지 도 11은 살리사이드화(salidation) 공정을 처리하기에 앞서 본 발명의 제1방법에 이용될 수 있는 추가적인 공정 단계들을 도시한다. 특히, 도 10은 폴리-폴리 캐패시터의 수평표면 위에 형성된 패턴화된 보호 절화물(patterned protect nitride:44)을 포함하는 도 9의 구조물을 나타낸다. 패턴화된 보호 절화물층(44)은 전형적인 증착공정에 의해 형성되며, 그 다음 리소토그래피와 에칭공정에 따른다. 도 11은 전술한 살리사이드화 공정을 실행한 후의 구조물을 나타낸다.

도 12 내지 도 19는 제2절화물층(18)이 다양한 공정단계 내내 구조물 내에 남아있는 본 발명의 제2실시예를 나타낸다. 이것은 고전압 폴리-폴리 캐패시터소자로 나타난다. 특히, 도 12 내지 도 15에 나타난 구조물을 형성하는 데 사용되는 공정단계들은 도 1 내지 4에 나타난 것과 동일하다. 도 5에 도시된 바와 같이, 절화물층을 에칭하는 대신에, 본 발명의 이 실시예에서 절화물층은 에칭되지 않으며, 도 16에 나타난 구조물을 제공하기 위해 필름스택(30)은 전술한 공정단계를 사용하여 형성된다. 도 17 내지 도 19는 폴리-폴리 캐패시터가 그 내부에 제2절화물층(18)을 포함한다는 것을 제외하고 도 7 내지 도 9와 동일하다.

도 20 내지 도 21은 패턴화된 보호절화물이 이용되는 본 발명의 제2실시예의 선택적 단계를 도시한다.

본 발명은 특히 그 바람직한 실시예에 관하여 도시되고 설명되어 있지만, 형태 및 세부의 변형 및 예측이 발명의 정신 및 범주로부터 벗어남 없이 제조되는 것을 당업자에 의해 이해되어질 수 있다. 그러므로 본 발명은 정확한 형태, 상세한 설명 및 도시에 제한되지 않는다. 다만 첨부된 청구항의 범위 내에서 벗어나

지 않는다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면, 복잡하거나 고가가 아닌 CMOS 또는 BiCMOS 집적회로를 사용하여 폴리-폴리 캐패시터를 제조하는 방법을 제공할 수 있다.

또한, 본 발명에 따르면, 기존의 폴리실리콘(polysilicon)과 마스크단계를 이용하여 폴리-폴리 캐패시터를 제조하는 방법을 제공함으로써, 저비용으로 BiCMOS 소자(device) 내에 폴리-폴리 캐패시터의 집적화를 달성할 수 있는 효과를 제공한다.

(57) 청구의 범위

청구항 1. BiCMOS 공정에 결합되어 폴리-폴리 캐패시터를 제조하는 방법에 있어서,

CMOS 트랜지스터의 게이트 전극을 증착하는 동안 폴리-폴리 캐패시터의 하부 플레이트 전극을 형성하는 단계와;

미질점합 바이폴라 트랜지스터의 SiGe 베이스 영역의 성장 동안 상부 SiGe 플레이트 전극을 형성하는 단계를 포함하는 폴리-폴리 캐패시터 제조방법.

청구항 2. 제1항에 있어서,

상기 하부 플레이트 전극을 형성하는 단계는,

폴리-폴리 캐패시터가 형성될 디바이스 영역내의 절연영역부 위에 제1 폴리실리콘층을 형성하는 단계와,

상기 제1 폴리실리콘층 주위에 제1 질화물 스페이서를 형성하는 단계와,

상기 제1 폴리실리콘층과 상기 제1 질화물 스페이서 위에 질화물층을 증착하는 단계와;

상기 폴리-폴리 캐패시터의 상기 하부 플레이트 전극을 형성하기 위해 상기 제1 폴리실리콘층에 제1 전도형의 이온을 주입하는 단계를 포함하는 폴리-폴리 캐패시터 제조방법.

청구항 3. 제2항에 있어서,

상기 상부 SiGe 플레이트 전극을 형성하는 단계는,

제2 질화물 스페이서를 형성하고 상기 하부 플레이트 전극부분을 노출시키기 위해 상기 질화물층 일부를 제거하는 단계와,

상기 하부 플레이트 전극 위의 적어도 노출된 부분에, 산화물층, 제2 폴리실리콘층, 및 SiGe층을 포함하는 필름 스택(film stack)을 형성하는 단계와;

상기 SiGe층과 상기 폴리실리콘층에 상기 제1 전도형과 상이한 제2 전도형의 이온을 주입하는 단계와,

상기 폴리-폴리 캐패시터의 상기 상부 플레이트 전극을 형성하기 위해 적어도 상기 제2 폴리실리콘층과 상기 SiGe층을 에칭하는 단계와;

상기 상부 SiGe 플레이트 전극의 모든 노출된 표면을 실리사이드링하는 단계를 포함하는 폴리-폴리 캐패시터 제조방법.

청구항 4. 제2항에 있어서,

상기 상부 SiGe 플레이트 전극을 형성하는 단계는,

적어도 상기 질화물층 위에 산화물층, 제2 폴리실리콘층 및 SiGe층을 포함하는 필름 스택을 형성하는 단계와,

상기 SiGe층 및 상기 제2 폴리실리콘층에 상기 제1 전도형과 다른 제2 전도형의 이온을 주입하는 단계와;

상기 폴리-폴리 캐패시터의 상기 상부 SiGe 플레이트 전극을 형성하기 위해 적어도 상기 SiGe층 및 상기 제2 폴리실리콘층을 에칭하는 단계와;

상기 상부 SiGe 플레이트 전극의 모든 노출된 표면을 실리사이드링하는 단계를 포함하는 폴리-폴리 캐패시터 제조방법.

청구항 5. 제3항 또는 제4항에 있어서,

패터닝된 보호 질화물층은 실리사이드링하기 전에 상기 상부 SiGe 플레이트 전극의 일부에 형성되는 폴리-폴리 캐패시터 제조방법.

청구항 6. BiCMOS 공정과 결합되어 폴리-폴리 캐패시터를 제조하는 방법에 있어서,

(a) 폴리-폴리 캐패시터가 형성될 디바이스 영역내의 절연영역부 위에 제1 폴리실리콘층을 형성하는 단계와,

(b) 상기 제1 폴리실리콘층 주위에 제1 질화물 스페이서를 형성하는 단계와,

(c) 상기 제1 폴리실리콘층과 상기 제1 질화물 스페이서 위에 질화물층을 증착하는 단계와,

(d) 상기 폴리-폴리 캐패시터의 하부 전극을 형성하기 위해 상기 제1 폴리실리콘층 내에 제1 전도형의 이온을 주입하는 단계와,

(e) 제2 질화물 스페이서를 형성하고 상기 하부 전극부를 노출시키기 위해 상기 질화물층 일부를 제거하는

단계와

(f) 적어도 상기 하부 전극의 노출부 위에, 산화물층, 제2폴리실리콘층 및 SiGe층을 포함하는 필름스택을 형성하는 단계와,

(g) 상기 SiGe층과 상기 제2폴리실리콘층 내에 상기 제1전도형과 다른 제2전도형 이온을 주입하는 단계와,

(h) 상기 폴리-폴리 캐패시터의 상부 전극을 형성하기 위해 적어도 상기 제2폴리실리콘층과 상기 SiGe층을 에칭하는 단계와;

(i) 상기 상부전극이 모두 노출된 표면을 실리사이드하는(saliciding) 단계를 포함하는 폴리-폴리 캐패시터 제조방법.

청구항 7. BiCMOS 공정과 결합되어 폴리-폴리 캐패시터를 제조하는 방법에 있어서,

(a) 폴리-폴리 캐패시터가 형성될 소자영역내의 절연영역부 위에 제1폴리실리콘 층을 형성하는 단계와,

(b) 상기 제1폴리실리콘층 주위에 제1절화물스페이서를 형성하는 단계와,

(c) 상기 제1폴리실리콘층과 상기 제1절화물스페이서 위에 절화물층을 증착하는 단계와,

(d) 상기 폴리-폴리 캐패시터의 하부전극을 형성하기 위해 상기 제1폴리실리콘층 내에 제1전도형 이온을 주입하는 단계와,

(e) 적어도 상기 절화물층 위에, 산화물층, 제2폴리실리콘층 및 SiGe층을 포함하는 필름스택을 형성하는 단계와,

(f) 상기 SiGe층과 상기 제2폴리실리콘층 내에 상기 제1전도타입 이온을 주입하는 단계와;

(g) 상기 폴리-폴리 캐패시터의 상부 전극을 형성하기 위해 적어도 상기 SiGe층과 상기 제2폴리실리콘층을 에칭하는 단계와,

(h) 상기 상부 전극의 모든 노출된 표면을 실리사이드하는 단계를 포함하는 폴리-폴리 캐패시터 제조방법.

청구항 8. 제6항 또는 제7항에 있어서,

패터닝된 보호절화물층은 실리사이드전에 노출된 상부전극영역의 일부에 형성되는 폴리-폴리 캐패시터 제조방법.

청구항 9. 제6항 또는 제7항에 있어서,

상기 제1폴리실리콘층은, 화학기상증착(chemical vapor deposition : CVD), 플라즈마-보강 화학기상증착(plasma-enhanced chemical vapor deposition: PECVD), 스퍼터링(sputtering) 및 화학 용액 증착(chemical solution deposition)으로 이루어진 그룹으로부터 선택된 증착공정으로 형성되는 폴리-폴리 캐패시터 제조방법.

청구항 10. 제6항 또는 제7항에 있어서,

상기 제1절화물스페이서는 증착 및 에칭에 의해 형성되는 폴리-폴리 캐패시터 제조방법.

청구항 11. 제6항 또는 제7항에 있어서,

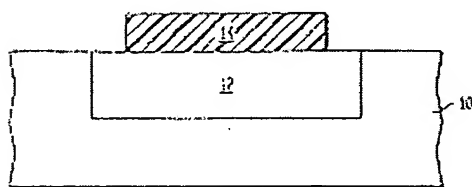
상기 절화물층은 화학기상증착, 플라즈마-보강 화학기상증착, 스퍼터링 및 화학용액증착으로부터 선택된 증착공정에 의해 형성되는 폴리-폴리 캐패시터 제조방법.

청구항 12. 제6항 또는 제7항에 있어서,

상기 SiGe층은, 초고진공 화학기상증착(ultra-high-vacuum chemical vapor deposition:UHVCVD), 분자빔 에피택시(molecular beam epitaxy:MBE), 급속열 화학 기상증착(rapid thermal chemical vapor deposition:RTCVD) 및 플라즈마-보강 화학기상증착(plasma-enhanced chemical vapor deposition:PECVD)으로 이루어진 그룹으로부터 선택된 증착공정에 의해 형성되는 폴리-폴리 캐패시터 제조방법.

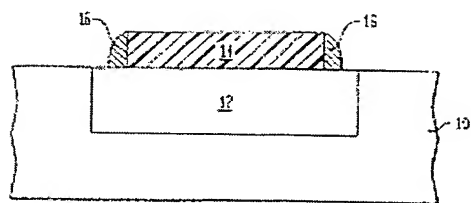
도면

도면1

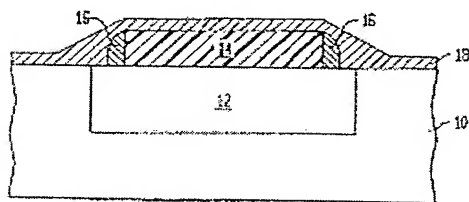


BEST AVAILABLE COPY

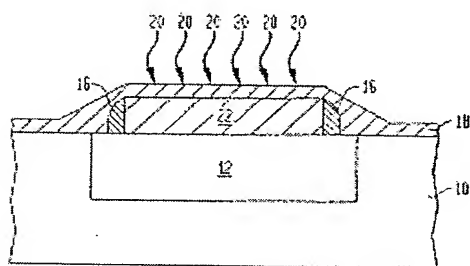
도 B2



도 B3



도 B4



도 B5

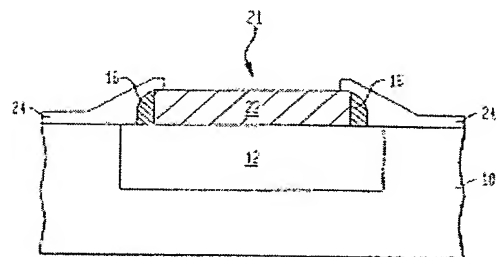


Fig. 1

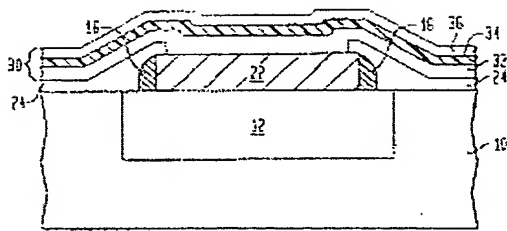


Fig. 2

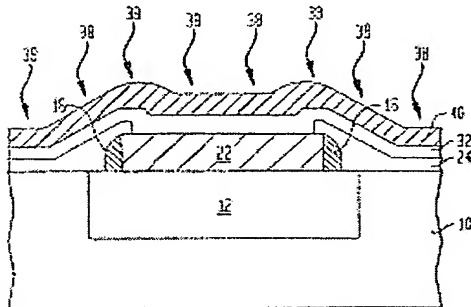


Fig. 3

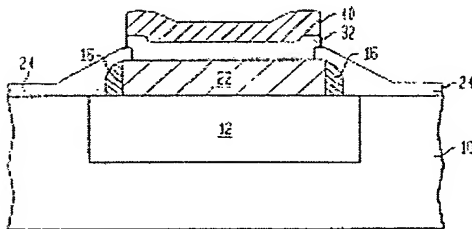
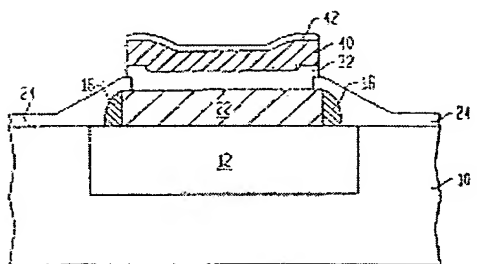
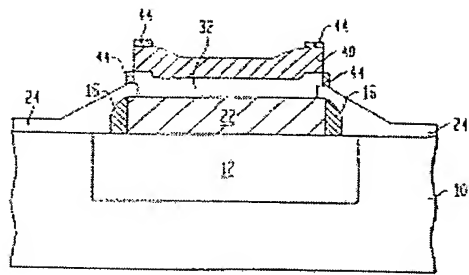


Fig. 4

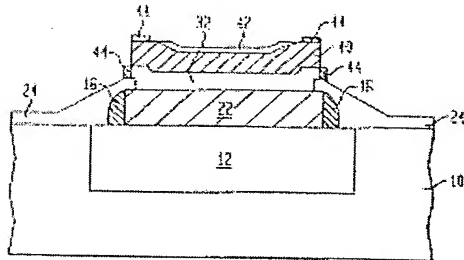


BEST AVAILABLE COPY

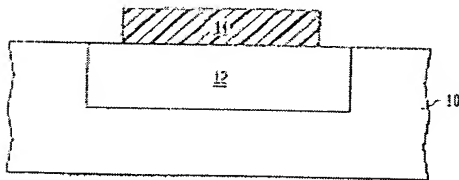
도면 10



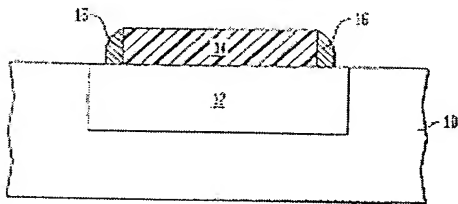
도면 11



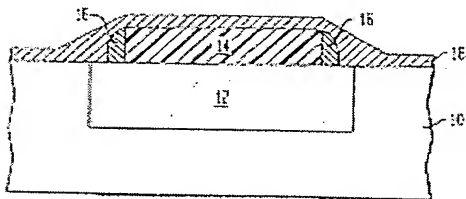
도면 12



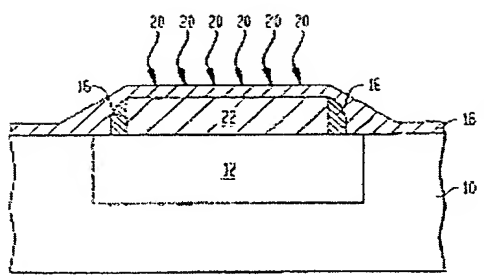
도면 13



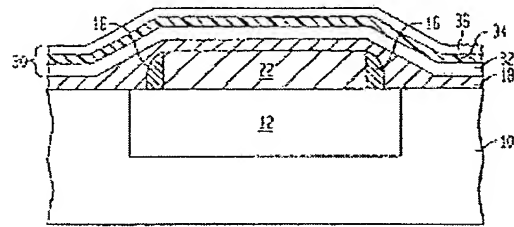
도면 14



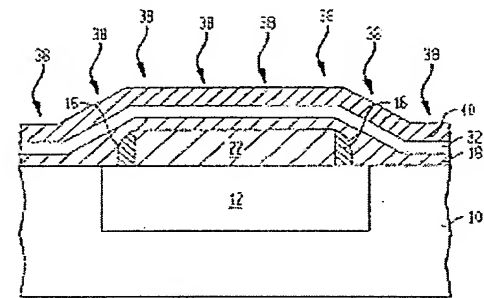
도면 15



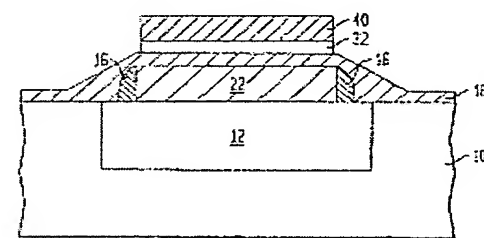
도면 16



도면 17



도면 18



BEST AVAILABLE COPY

図 19

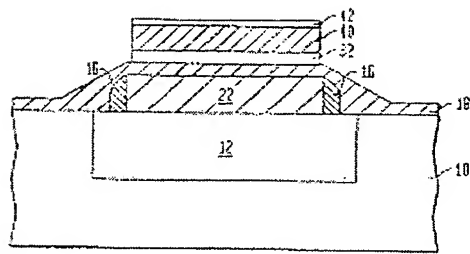


図 20

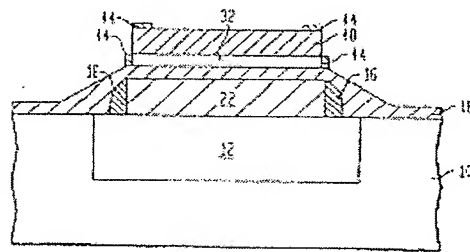


図 21

